

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-052853

(43)Date of publication of application : 29.03.1983

(51)Int.Cl.

H01L 21/88
H01L 21/92
H01L 29/78

(21)Application number : 56-151057

(71)Applicant : SONY CORP

(22)Date of filing : 24.09.1981

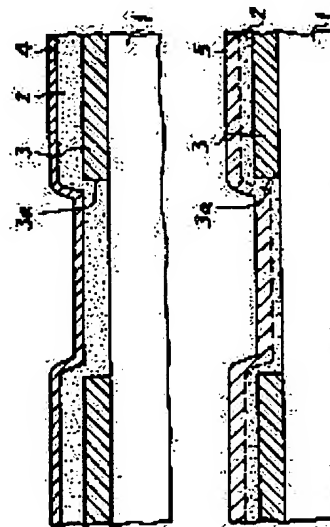
(72)Inventor : AOYAMA JUNICHI
OKAZAKI NOBUMICHI
KOBAYASHI KAZUYOSHI
HARADA YOSHIO
SHIMADA TAKASHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To make the high temperature heat treatment characteristics stable by a method wherein the forming requirements of platinum silicide are specified in the wiring layer in the semiconductor integrated circuit LSI and the gate electrode of the insulated gate type field effect transistor MOS and the like.

CONSTITUTION: The silicon layer 2 is formed on the substrate 1 through the intermediary of the insulated layer 3 including the window 3a and the platinum layer 4 is evaporated on said layer 2 to be formed into the thickness of 0.5-0.7 times of said silicon layer 2 not exceeding 1,600 \AA . Said platinum layer 4 and said silicon layer 2 are made to react to each other by means of heat treatment at 600°C or less forming the platinum silicide Pt Si layer 5. The Pt Si layer 5 provided with sufficiently low resistance will not increase the resistance after heat treatment at high temperature. These characteristics will not be deteriorated by the heat treatment at high temperature in case of glass flowing after forming the conductive elements such as electrode or wiring and the like or the heating such



as activation of impurities in case of ion implantation and the like.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭58—52853

⑮ Int. Cl.³
H 01 L 21/88
21/92
29/78

識別記号

庁内整理番号
6810—5F
7638—5F
7377—5F

⑯ 公開 昭和58年(1983)3月29日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ 半導体装置の製法

⑰ 特 願 昭56—151057

⑱ 出 願 昭56(1981)9月24日

⑲ 発 明 者 青山純一
厚木市旭町4丁目14番1号ソニ
ー株式会社厚木工場内

⑲ 発 明 者 岡崎信道
厚木市旭町4丁目14番1号ソニ
ー株式会社厚木工場内

⑲ 発 明 者 小林和好
厚木市旭町4丁目14番1号ソニ

一株式会社厚木工場内

⑲ 発 明 者 原田吉男
厚木市旭町4丁目14番1号ソニ
ー株式会社厚木工場内

⑲ 発 明 者 島田喬
厚木市旭町4丁目14番1号ソニ
ー株式会社厚木工場内

⑲ 出 願 人 ソニー株式会社
東京都品川区北品川6丁目7番
35号

⑲ 代 理 人 弁理士 伊藤貞 外2名

明 細 書

発明の名称 半導体装置の製法

特許請求の範囲

基板の上に厚さ1000Å～3000Åのシリコン層を形成する工程と、該シリコン層上に厚さがシリコン層の厚さの0.35～0.7倍且つ1600Åを超えない白金層を形成する工程と、熱処理工程とを有する半導体装置の製法。

発明の詳細な説明

本発明は半導体装置の製法、特に例えば半導体集積回路LSIにおける配線層、或いは例えばLSIにおける絶縁ゲート型電界効果トランジスタMOSのゲート電極等において、高い信頼性を得るようにした半導体装置の製法を提供するものである。

従来、半導体装置における配線層、或いはゲート電極として多結晶シリコンが一般に用いられている。しかしながら、この多結晶シリコンは、その比抵抗が $1 \times 10^{-3} \Omega \text{cm}$ 以上という比較的高い値を持ち、また、その結晶粒径が比較的大きいため、特に高速、高集積LSIにおいては、満足し得

ないものである。

一方、上述したゲート電極、或いは配線層として、その低比抵抗化をはかつて白金シリサイドを用いることが知られている。この白金シリサイドの形成は、通常、厚さ3000Å程度の多結晶シリコン層上に、厚さが800Å程度以下の白金層、すなわちその厚さが多結晶シリコン層の厚さの0.27倍程度以下に相当する比較的薄い白金層を蒸着し、その後600℃以下の温度による熱処理を行つて、多結晶シリコン層上に白金シリサイドを形成するという方法が採られる。このような、シリサイド形成後のシート抵抗は25Ω/□程度となるものであり、多結晶シリコン層自体のシート抵抗30Ω/□に比し、可成りその抵抗を低くする効果はあるが、このように形成した白金シリサイドは、その後の半導体装置の製造過程における熱処理、特に800℃以上の熱処理を受けると、シート抵抗が急激に増加してしまい、多結晶シリコン層表面に白金シリサイドを形成した効果が失われてしまう。したがつてこの場合、白金シリサイドを高抵抗化するよ

うな高温の熱処理は回避されねばならないが、実際上集積回路、例えば高集積のLSIいわゆるVLSIのように多層配線構造を採る場合、例えば下層の配線の存在による凹凸によつて上層の配線にいわゆる段切れが生じないようにするため、上下各配線層間に介在させる絶縁膜の表面を平坦化するための絶縁膜の溶融化処理、いわゆるガラスフローを行うものであり、このガラスフローは、現状では900℃以上の熱処理を必要としている。また、例えば回路素子としてのMOSを製造する場合、そのソース及びドレイン領域をイオン注入法によつて形成する場合など、その活性化の熱処理は900℃以上の熱処理を必要とする。したがつて従来半導体装置を製造するに、このような白金シリサイドの形成は、その後に高温熱処理を施すものにおいては適用困難とされていた。

本発明は、白金シリサイドの形成後において、高温の熱処理がなされても、抵抗の増加を効果的に回避できて、これに伴つて、動作速度の向上、信頼性の向上をはかることができるようにしたも

のである。

すなわち、本発明においては、種々の実験考察を重ねた結果、白金シリサイドの形成に当つて、多結晶シリコン層上に白金層を被着し、これに熱処理を行つて白金シリサイドを形成する場合に、その多結晶シリコン層上の白金の厚さが、白金シリコンの形成後の熱処理による特性変化の大小に大きく関与していることを見出し、これによつてこの白金シリサイドの形成条件を特定してその後の高温熱処理に対して安定した特性が得られるようにしたものである。

図面を参照して本発明を詳述に説明するに、本発明においては第1図に示すように、基板(1)、例えば半導体集積回路を形成する単結晶シリコン基板(1)上に、厚さ1000~3000Åの不純物がドーパされて低比抵抗化されたシリコン層(2)を、周知の化学的気相成長法(CVD法)、プラズマCVD法等によつて生成する。このように形成されたシリコン層(2)は、非単結晶の例えば多結晶層として形成される。尚、図においては、基板(1)の表面に

SiO₂等の絶縁層(3)が形成され、これに穿設された窓(3a)を通じて基板(1)の所定部に配線ないしは電極をコンタクトさせる場合を示して、この場合、シリコン層(2)は窓(3a)内を含んで絶縁層(3)を介して基板(1)上に形成される。そして、このシリコン層(2)上に白金Pt層(4)をシリコン層(2)の厚さの0.35~0.7倍、好ましくは0.5~0.7倍の厚さで、しかも1600Åを超えることのない厚さに、例えば蒸着法によつて被着形成する。すなわち、この白金層(4)は、そのシリコン層(2)との相対的厚さが従来方法において被着される白金層のそれに比し、大に選ばれる。

その後、熱処理、例えば600℃以下の加熱処理を施して白金層(4)と、これの下シリコン層(2)とを反応させて第2図に示すように、白金シリサイドPtSi層(5)を形成する。

このようにして形成された白金シリサイド層(5)は、シリコン層(2)に比し、充分低い抵抗を有する。また、このようにして形成された白金シリサイド層(5)は、その後の高温熱処理、例えば900℃で80

分間の熱処理を経ても殆んど抵抗増加を来すことがなかつた。

第3図、第4図及び第5図は、夫々初期の膜厚が1000Å、2000Å及び3000Åの多結晶シリコン層(2)上に、夫々異なる厚さの白金層(4)を被着して成る試料を多数個用意し、これらについて夫々N₂ガス中で600℃の熱処理を行つた場合、700℃の熱処理を行つた場合、800℃の熱処理を行つた場合、900℃の熱処理を行つた場合の各熱処理後のシート抵抗(Ω/□)を測定したものである。第3図において曲線01、02、03は夫々白金層(4)の膜厚を400Å、500Å、600Åに選定した場合、すなわち、1000Åの厚さのシリコン層(2)に対しこれの厚さの0.4倍、0.5倍、0.6倍に白金層(4)の厚さを選定した場合の前述した各温度による熱処理後のシート抵抗を測定した結果を示す。また、第4図において曲線01、02、03、04は、夫々白金層(4)の膜厚を400Å、500Å、600Å、800Åに選定した場合、すなわち、2000Åの厚さのシリコン層(2)に対し、これの厚さの0.2倍、0.25倍、0.3倍、0.4倍、0.5

倍に白金層(4)の厚さを選定した場合の前述した各温度による熱処理後のシート抵抗を測定した結果を示す。更にまた、第5図において曲線01、03、04、05、06は、夫々白金層(4)の膜厚を400Å、600Å、800Å、1000Å、1200Åに選定した場合、すなわち、3000Åの厚さのシリコン層(2)に対し、これの厚さの0.13倍、0.2倍、0.27倍、0.33倍、0.4倍に白金層(4)の厚さを選定した場合の前述した各温度による熱処理後のシート抵抗を測定した結果を示す。第3図～第5図をみて明らかなように、初期のシリコン層(2)の厚さに対する白金層(4)の相対的厚さを大とするにつれ、高い温度による熱処理によつても抵抗の増加がみられなくなってくる。

第6図は、夫々初期における白金層(4)の厚さ $t_1(4)$ と、シリコン層(2)の厚さ $t_1(2)$ との比 $t_1(4)/t_1(2)$ に対する900℃の熱処理後のシート抵抗 $\rho_s(900^\circ\text{C})$ とそれ以前になされた600℃の熱処理後のシート抵抗 $\rho_s(600^\circ\text{C})$ との比、すなわち、シート抵抗の変化率を示したもので、図中、丸印点はシリコン層(2)の厚さ $t_1(2)$ が1000Åの場合、三角印点は $t_1(2)$

が2000Åの場合、菱形印点は $t_1(2)$ が3000Åの場合を示す。これをみても明らかなように白金層(4)の厚さ $t_1(4)$ と、シリコン層(2)の厚さ $t_1(2)$ との比 $t_1(4)/t_1(2)$ が大になるにつれ、抵抗変化が小さくなっている。この抵抗変化 $\rho_s(900^\circ\text{C})/\rho_s(600^\circ\text{C})$ は、實際上2以下にとどめることが望ましいことから、ここに $t_1(4)/t_1(2)$ は、0.35以上に、更に望ましくは0.5以上に選ぶ所以がある。しかしながら、ここに $t_1(4)/t_1(2)$ が0.7を越えると白金がシリコン層(2)の全厚さに渡つて拡散してこの白金が直接シリコン基板(1)に接することになつて、半導体素子の特性に影響を及ぼすおそれが生じてくるので、 $t_1(4)/t_1(2)$ は0.7以下に選ぶ。また實際上白金層の絶対的厚さが余り厚くなると剝離の問題が生じてくるのでこの白金層(4)の厚さは1600Åを越えない厚さとする。

尚、このようにして形成された白金シリサイド層が表面に形成されたシリコン層は、例えばイオンミリングによつて所定のパターンとされて、電極、或いは配線等の所要のパターンとされる。

尚、本発明製法をMOBに適用してそのゲート電

極と、ソース及びドレインの電極と、これらの配線部とを上述した白金シリサイドを有する多結晶シリコン層によつて構成したものについて、そのシミュレーションホール電圧及び電子の移動度を測定したところ、極めて再現性にすぐれ、ガラスフローヤソース及びドレイン領域をイオン注入によつて形成する手法を採つた場合でも、安定した特性を示すことが確められた。

尚、例えば厚さが3000Åの多結晶シリコン層上に400Åの厚さの白金蒸着膜を形成してシリサイドを形成したものにおいて850℃、30分間の高温熱処理を行つたところ、そのシート抵抗 ρ_s は $\text{K}\Omega/\square$ 以上となつたがこの場合の電子顕微鏡写真は、第7図に示すように観察された。これに比し、3000Åの厚さの多結晶シリコン層上に1200Åの厚さの白金(蒸着膜厚比0.4)を行つてシリサイドを形成して後同様の熱処理を行つた本発明製法によるものは、高温熱処理後における電子顕微鏡写真は、第8図に示すように観察された。

第7図及び第8図において黒い部分はSi、白い

部分はPtであり、両者を比較して明らかなように、本発明によるものはPtが透らなつた形態を採っているものであり、これがため低抵抗が保持されるものと思われる。これに比し第7図に示されるもののように従来のものは、Ptが点在してしまつてゐるものであり、これがため抵抗が増大してしまうものと思われる。

上述したように本発明製法によつて得た白金シリサイド層を有するシリコン層は、高温の熱処理によつてもその抵抗の増加が小さく抑えられるので、前述したように白金シリサイドによる電極、或いは配線等の導電部の形成後にガラスフロー時の高温処理、或いはイオン注入による場合の不純物の活性化処理等の加熱によつても特性低下を来すことなく信頼性の向上をはかることができ、VLSIを始めとして各種半導体装置に適用してその利益は大である。

図面の簡単な説明

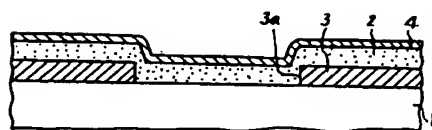
第1図及び第2図は本発明製法の一例の各工程の略略的拡大断面図、第3図ないし第5図は夫々

本発明の説明に供する熱処理温度とシート抵抗との関係の測定曲線図、第6図は白金層とシリコン層の厚み比と、シート抵抗の温度による変化率との関係の測定曲線図、第7図及び第8図は本発明の説明に供する白金シリサイドの拡大図である。

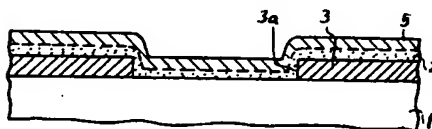
(1)は基体、(2)はシリコン層、(4)は白金層、(5)は白金シリサイド層である。

代理人 伊藤 昌
同 杉谷 克巳
同 松隈 秀盛

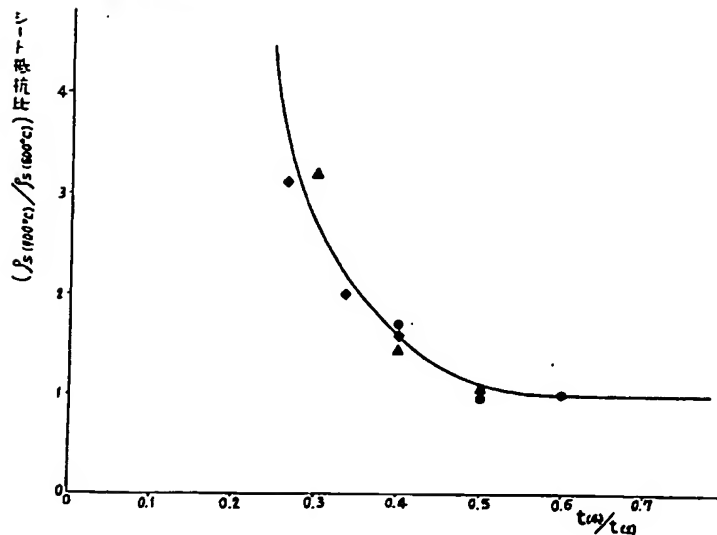
第1図



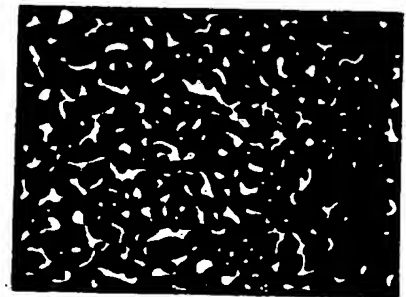
第2図



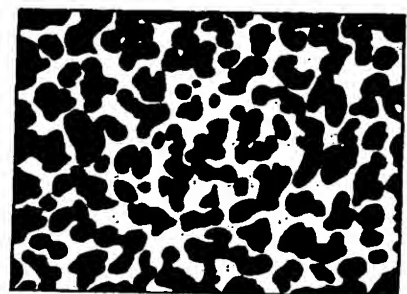
第6図



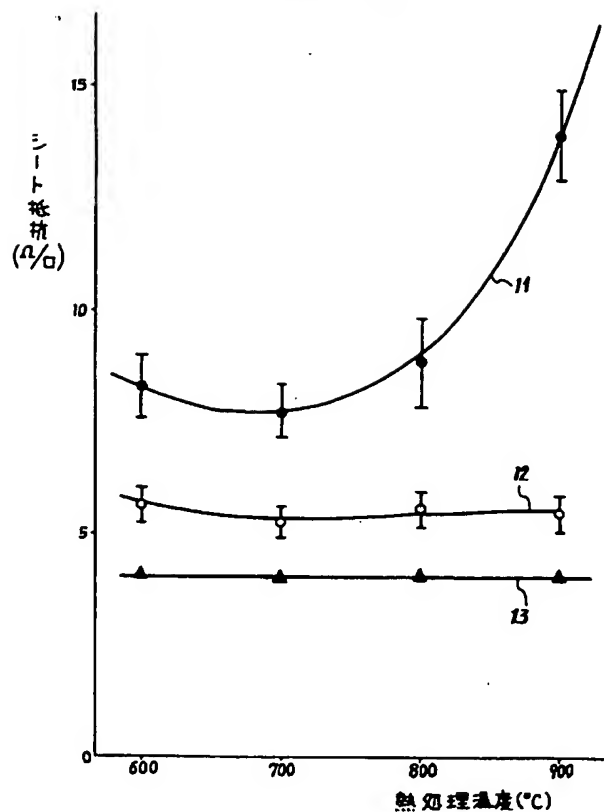
第7図



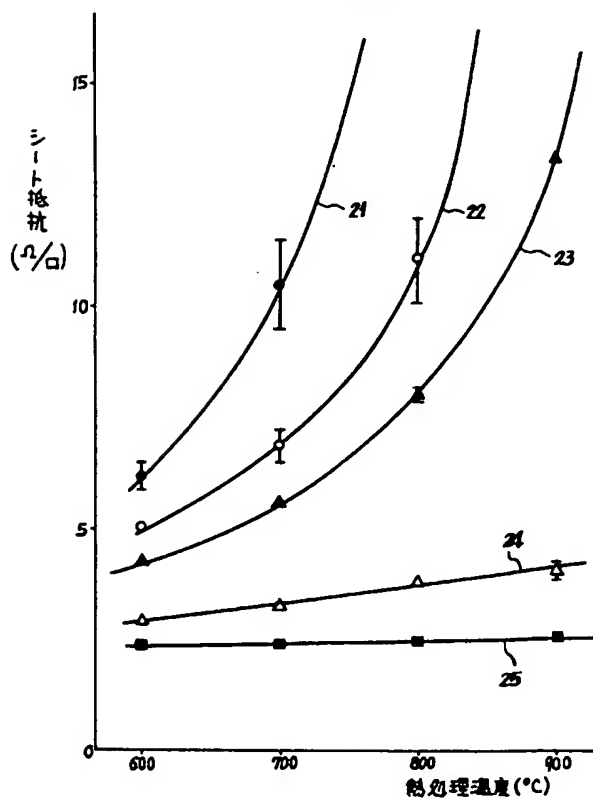
第8図



第 3 図



第 4 図



第 5 図

